

SC2945 低功耗单通道 24 位 生物电测量前端模拟芯片

主要性能

- 低噪声 PGA 和高分辨率 ADC
- 低功耗：420 μ W
- 输入参考噪声：8 μ V_{PP} (150Hz BW, G=6)
- 输入偏置电流：200pA
- 数据速率：125SPS 至 16kSPS
- 共模抑制比 CMRR：120dB
- 可编程增益：1, 2, 3, 4, 6, 8, 12, 16, 24, 32, 64, 96
- 振荡器初始精度： $\pm 0.5\%$ (25 $^{\circ}$ C)，温漂 $\pm 1\%$ (-40 $^{\circ}$ C~85 $^{\circ}$ C)
- 供电：单极性
模拟：2.7V 至 3.6V
数字：1.7V 至 3.6V
- 内置右腿驱动放大器、导联检测与测试信号
- 内置起搏信号输出电路与检测电路
- 内置参考
- 低功耗模式和待机模式灵活转换
- 兼容 SPI 的串行接口
- 工作温度范围：-40 $^{\circ}$ C 至 125 $^{\circ}$ C

应用场合

- 医疗器械（心电图）包括：
病人监测：动态心电图，活动、精神状态和生命体征包括心电图，AED 和远程医疗
体育健身：心跳，呼吸，心电图
- 高精度数据采样

功能模块示意图

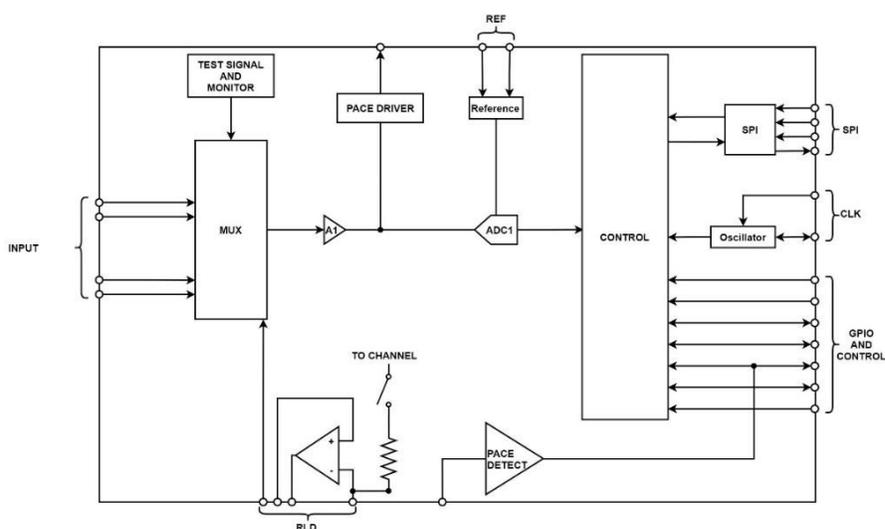


图 1 简化版功能模块图

目录

主要性能.....	1	SPI 指令	18
应用场合	1	WAKEUP.....	19
功能模块示意图	1	STANDBY	19
目录	2	RESET	19
产品概况	3	START	19
技术规格	3	STOP	19
电特性	3	OFFSETCAL	19
时序特性	6	RDATA	20
极限参数	7	SDATA	21
ESD 保护	7	RDATA	21
管脚(焊盘)配置及功能说明.....	8	RREG	22
功能描述	10	WREG	23
功能框图	10	寄存器.....	24
时钟	10	寄存器总表.....	24
起搏检测	11	ID 寄存器表 (只读)	25
SPI 接口	12	配置寄存器 1(CONFIG1)	25
片选(CS).....	12	配置寄存器 2(CONFIG2)	26
串口时钟(SCLK).....	12	Lead-Off 控制寄存器表.....	27
数据输入(DIN).....	13	通道 1 设置.....	28
数据输出(DOUT).....	13	RLD 设置	29
数据读取	13	Lead-Off 检测选择.....	30
数据准备(DRDY).....	14	Lead-Off 状态	31
掉电与复位(PWDN/RESET)	14	校准寄存器.....	31
GPIO	15	GPIO 寄存器.....	32
START.....	15	PACE 寄存器	32
稳定时间	16	订购信息.....	33
连续转换模式	17	外形尺寸.....	33
单次转换模式	17	声明.....	34

产品概况

SC2945 集成了便携式低功耗心电图应用的所有特性，内置单通道 24 位 Delta-Sigma ($\Delta\Sigma$) 模数转换器(ADC)、可编程增益放大器(PGA)、内部参考和振荡器。

SC2945 具有灵活的输入多路复用器，可以独立连接到内部生成的信号，用于测试、温度和断线检测。SC2945 的数据速率最高可达 16 kSPS。

技术规格

电特性

最小和最大值适用温度为 -40°C 至 125°C ，典型值在 25°C 。所有值都在 $\text{DVDD}=1.8\text{V}$ ， $\text{V}_{\text{REF}}=2.44\text{V}$ ， $\text{AVDD}=3\text{V}$ ，外部 $f_{\text{CLK}}=512\text{kHz}$ ，数据速率=500SPS， $\text{C}_{\text{FILTER}}=4.7\text{nF}$ ，增益=6 的情况下测得，除非另有说明。

表 1 电特性

参数	条件	最小值	典型值	最大值	单位
模拟输入					
输入偏置电流	TA=25°C, 输入 1.5V			±200	pA
	TA=-40°C~125°C, 输入 1.5V		±1		nA
全量程差分输入电压(AINP - AINN)			±V _{REF} /gain		V
输入电容			20		pF
PGA 性能					
增益		1, 2, 3, 4, 6, 8, 12, 16, 24, 32, 64, 96			
带宽	用 4.7nF 电容的 PGA 输出		20		kHz
ADC 性能					
分辨率			24		Bits
速率	f _{CLK} =512kHz	125		16000	SPS
通道特性 (DC 性能)					
输入参考噪声	增益=6, 10 秒数据		8		μV _{PP}
	增益=6, 256 个点, 0.5 秒数据		8	11	μV _{PP}
积分非线性	满量程, 增益=6		2		ppm
偏移误差			±100		μV
偏移误差漂移			2		μV/°C
偏移误差校准			±10		μV
增益误差	不包括参考电压误差		±0.1	±0.2	%(FS)
增益漂移	不包括参考电压漂移		2		ppm/°C
通道特性 (AC 性能)					
CMRR 共模抑制比	f _{CM} =50 Hz 和 60 Hz	105	120		dB

SC2945

PSRR 电源抑制比	$f_{CM}=50\text{ Hz}$ 和 60 Hz		90		dB
SNR 信噪比	$f_{IN}=10\text{ Hz}$, 增益=6		107		dB
THD 总谐波失真	10Hz, -0.5dBFS, $C_{FILTER}=4.7\text{nF}$		-104		dB
	100Hz, -0.5dBFS, $C_{FILTER}=4.7\text{nF}$		-95		dB

右腿驱动(RLD)放大器

RLD 集成噪声	带宽=150Hz		1.4		μV_{RMS}
GBP 增益带宽积	50 k Ω 10 pF 负载, 增益=1		100		kHz
SR 压摆率	50 k Ω 10 pF 负载, 增益=1		0.07		V/ μs
THD 总谐波失真	$f_{IN}=100\text{ Hz}$, 增益=1		-85		dB
输入共模范围		AVSS + 0.3		AVDD-0.3	V
共模电阻匹配	内部 200Kohm 电阻匹配		0.1		%
静态功耗			5		μA

数字滤波器

-3dB 带宽			0.262 f_{DR}		Hz
数字滤波器建立时间	完全建立		4		Conversions

导联检测

频率			0, $f_{DR}/4$		kHz
电流	ILEAD_OFF[1:0]=00		6		nA
	ILEAD_OFF[1:0]=01		22		nA
	ILEAD_OFF[1:0]=10		6		μA
	ILEAD_OFF[1:0]=11		22		μA
电流精度			± 10		%
比较器阈值精度			± 10		mV

外部参考

输入参考电压	3V 供电, $V_{REF}=(V_{REFP}-V_{REFN})$	2	2.5	VDD-0.3	V
V_{REFN} 负输入端			AVSS		V
V_{REFP} 正输入端			AVSS+2.5		V
输入阻抗			120		k Ω

内部参考

输出电压			2.44		V
输出电流驱动	可供外部使用		100		μA
V_{REF} 精度			± 0.5		%
内部参考电压漂移	$-40^{\circ}\text{C}<T_A<125^{\circ}\text{C}$		20		ppm/ $^{\circ}\text{C}$
启动时间			100		ms
静态电流消耗			20		μA

测试信号

信号频率			1		Hz
信号电压			± 1		mV
精度			± 2		%

时钟					
内部振荡时钟频率	标称频率		512		kHz
内部振荡功耗			30		μW
内部时钟精度	$T_A=25^\circ\text{C}$			± 0.5	%
	$-40^\circ\text{C}<T_A<85^\circ\text{C}$		± 1.0	± 1.5	%
	$-40^\circ\text{C}<T_A<125^\circ\text{C}$			± 2.0	%
电源供电要求					
AVDD 模拟供电	AVDD-AVSS	2.7	3	3.6	V
DVDD 数字供电	DVDD-DGND	1.7	1.8	3.6	V
功耗 (RLD 放大器关闭)					
正常模式功耗			420	495	μW
待机功耗模式			140		μW
掉电功耗					
	AVDD=3V, DVDD=1.8V		0.5		μW
	AVDD=3V, DVDD=3.3V		0.5		μW

SC2945

时序特性

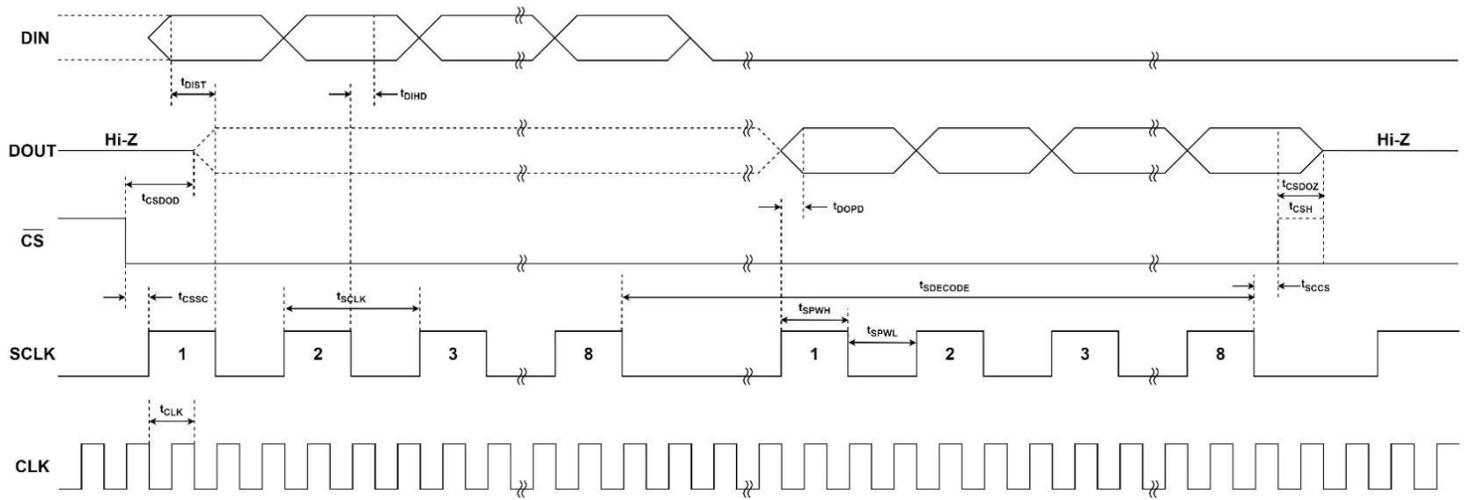


图 2 串口时序

表 2 时序特性

参数	描述	2.7V < DVDD < 3.6V			1.7V < DVDD < 2V			单位
		最小值	典型值	最大值	最小值	典型值	最大值	
t _{CLK}	主时钟周期(CLK_DIV bit of LOFF_STAT register = 0)	1775		2170	1775			ns
	主时钟周期(CLK_DIV bit of LOFF_STAT register = 1)	444		542	444			ns
t _{CSSC}	\overline{CS} 下降沿到第一个 SCLK 的上升沿, 建立时间	6			17			ns
t _{SCLK}	SCLK 周期	50			66.6			ns
t _{SPWH, L}	SCLK 脉冲宽度, 高低电平	15			25			ns
t _{DIST}	有效DIN到SCLK下降沿, 建立时间	10			10			ns
t _{DIHD}	SCLK下降沿后的有效DIN, 保持时间	10			11			ns
t _{DOPD}	SCLK上升沿到DIN			12			22	ns
t _{CSH}	\overline{CS} 高电平脉冲	2			2			t _{CLKs}
t _{CSDOD}	\overline{CS} 低电平到DOUT从动	10			20			ns
t _{SCCS}	第八个SCLK的下降沿到 \overline{CS} 高电平	3			3			t _{CLKs}
t _{SDECODE}	命令解码时间	4			4			t _{CLKs}
t _{CSDOZ}	\overline{CS} 高电平到DOUT高阻			10			20	ns

极限参数

AVDD 至 AVSS.....	V 至 3.6V
DVDD 至 DGND.....	V 至 3.9V
AVSS 至 DGND.....	V 至 0.2V
模拟输入至 AVSS	AVSS-0.3V 至 AVDD+0.3V
数字输入至 DVDD	DVSS-0.3V 至 DGND+0.3V
瞬时输入电流	±100mA
连续输入电流	±10mA
引脚温度（焊接 10 秒）	300°C
最大结温 $T_{j, MAX}$	150°C
工作温度范围.....	-40°C 至 125°C
存储温度范围.....	-65°C 至 150°C
封装功耗 32pinVQFN θ_{JA}	33.7°C/W
ESD(Human Body Model).....	±3000V
ESD(Charged Device Model).....	±750V

对以上所列的最大极限值，如果器件工作在超过此极限值的环境中，很可能对器件造成永久性破坏。在实际运用中，最好不要使器件工作在此极限值或超过此极限值的环境中。



本产品属于静电敏感器件。当拿取时，要采取合适的 ESD 保护措施，以免造成性能下降或功能失效。

管脚(焊盘)配置及功能说明

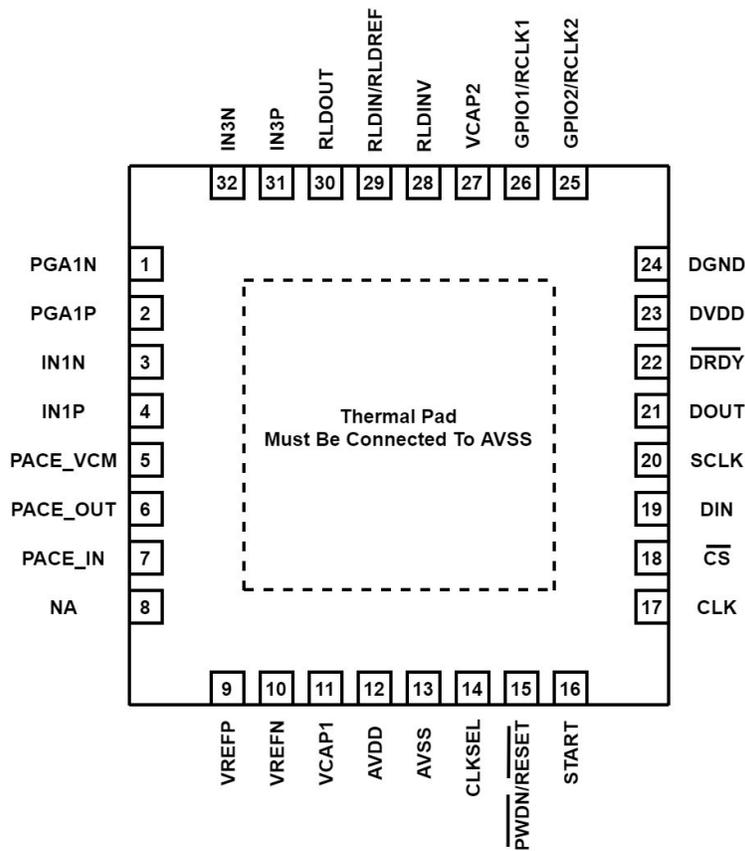


图 3 VQFN_32 管脚（焊盘）配置

表 3 管脚定义

引脚序号	引脚名称	引脚类型	引脚功能
1	PGA1N	AO	PGA1反相输出
2	PGA1P	AO	PGA1同相输出
3	IN1N	AI	差分模拟负输入1
4	IN1P	AI	差分模拟正输入1
5	PACE_VCM	AO	起搏检测共模输出
6	PACE_OUT	AO	起搏检测driver输出
7	PACE_IN	AI	起搏检测信号输入
8	NA	/	NA
9	VREFP	AIO	正参考电压
10	VREFN	AI	负参考电压（必须连接AVSS）
11	VCAP1	/	模拟旁路电容

12	AVDD	P	模拟电源
13	AVSS	P	模拟地
14	CLKSEL	DI	主时钟选择
15	$\overline{\text{PWRST}}$	DI	断电或系统复位；低电平有效
16	START	DI	开始转换
17	CLK	DI	主时钟输入
18	$\overline{\text{CS}}$	DI	芯片选择
19	DIN	DI	SPI数据输入
20	SCLK	DI	SPI时钟
21	DOUT	DO	SPI数据输出
22	$\overline{\text{DRDY}}$	DO	数据准备；低电平有效
23	DVDD	P	数字电源
24	DGND	P	数字地
25	GPIO2/RCLK2	DIO	通用I/O或RESP时钟2
26	GPIO1/RCLK1	DIO	通用I/O或RESP时钟1
27	VCAP2	/	模拟旁路电容
28	RLDINV	AI	右腿驱动反相输入端（不使用需要连接到AVDD）
29	RLDIN/RLDREF	AI	右腿驱动输入MUX或RLD放大器的同相输入端（不使用需要连接到AVDD）
30	RLDOUT	AO	右腿驱动输出
31	IN3P	AIO	辅助输入3P
32	IN3N	AIO	辅助输入3N

功能描述

功能框图

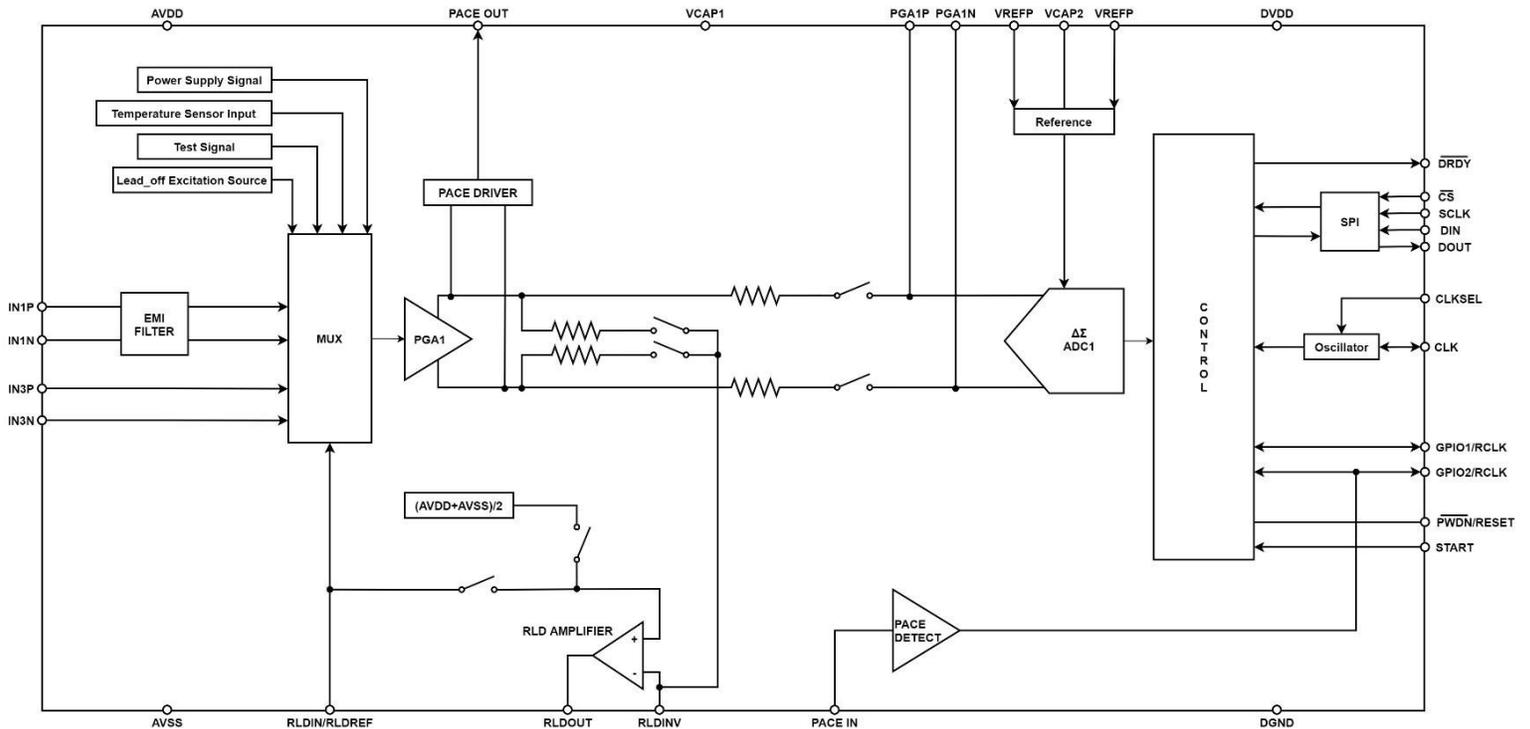


图 4 功能框图

时钟

SC2945 提供了两种不同的设备时钟选项：内部时钟和外部时钟。时钟选择由 CLKSEL 引脚和 CLK_EN 寄存器位控制。

CLKSEL 引脚选择内部时钟或外部时钟。CONFIG2 寄存器中的 CLK_EN 位用于启用或者禁用振荡器时钟在 CLK 引脚中输出。这两个引脚的真值表如表 4 所示。建议在下电过程中关闭外部时钟以节省电源。

表 4 引脚真值表

CLKSEL_PIN	CONFIG2.CLK_EN BIT	CLOCK SOURCE	CLK PIN STATUS
0	X	外部时钟	输入：外部时钟
1	0	内部时钟振荡器	三种模式
1	1	内部时钟振荡器	输出：内部时钟振荡器

当选择外部时钟时，SC2945 可以支持外部时钟频率为 512 kHz 或 2.048 MHz。当外部时钟频率为 2.048MHz 时，需要将 LOFF_STAT 寄存器中的 CLK_DIV 位(第 6 位)设置为 1。

数据格式

SC2945 输出 24 位二进制补码格式的数据，MSB 优先。LSB 的权值为 $V_{REF} / (2^{23} - 1)$ 。正满量程输入产生的输出码为 7FFFFFFh，负满量程输入产生的输出码为 800000h。超过满量程的输入信号将会引起输出饱和。表 5 总结了不同输入电平对应的理想输出码字。

表 5 对应输入信号的理想输出码

输入信号, $V_{IN}(A_{INP}-A_{INN})$	理想输出CODE
$\geq V_{REF}$	7FFFFFFh
$+V_{REF}/(2^{23}-1)$	000001h
0	000000h
$-V_{REF}/(2^{23}-1)$	FFFFFFh
$\leq -V_{REF}/(2^{23}-1)$	800000h

起搏检测

SC2945 内部可以配合外围电路实现起搏检测功能。包含起搏信号的波形输出可以在 PGAN，PGAP 管脚获得，通过外部电路获取其包含的脉冲特征。起搏检测输出的逻辑电平可以输入至芯片的 GPIO 管脚，GPIO 的数据会被传送到 SPI 接口，SPI 输出内容可以参考“数据读取”章节。在使用起搏检测功能的时候推荐将 PGA 的 chop 频率更改为 32KHz 或以上，以免 PGA 的 chop 频率干扰到起搏检测的信号质量。起搏检测输出默认从 0x0d 寄存器的第 1 位读取，通过配置 0x0d[0] 为 1'b1 和 GPIO 可以从 GPIO1 管脚读取。Reset 功能默认从 GPIO2 管脚输入进行控制，通过 0x0d[3] 置 1'b1 可以从 0x0d[2] 进行 reset。

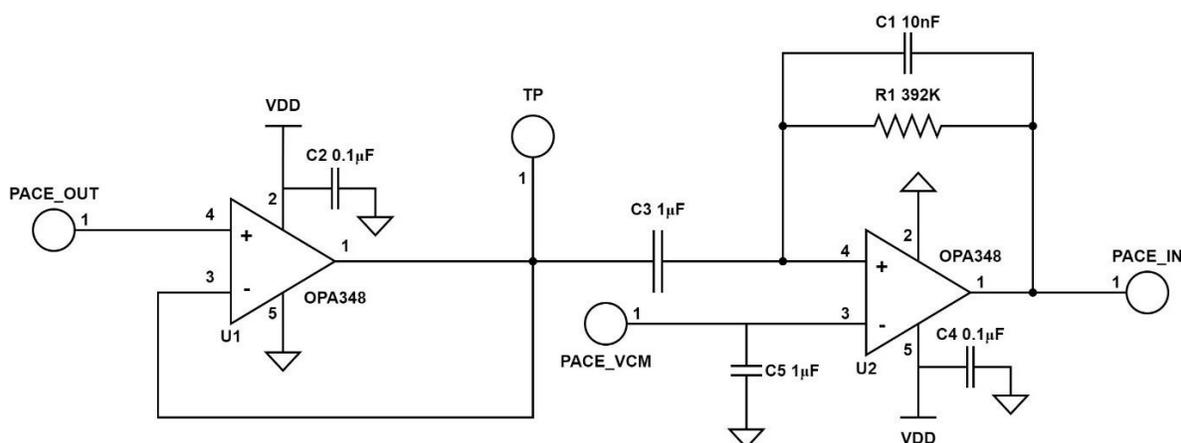


图 5 起搏检测应用电路

SC2945

SPI 接口

SPI 接口由 \overline{CS} 、SCLK、DIN 和 DOUT 四根信号组成。通过 SPI 接口可以读取转换数据以及访问内部寄存器，发送控制字命令。

片选(\overline{CS})

\overline{CS} 片选信号用于与 SC2945 进行 SPI 通信。 \overline{CS} 必须在整个串行通信期间保持低电平。在串行通信完成后，总是等待四个或更多的 t_{CLK} 周期，然后才将 \overline{CS} 置高。当 \overline{CS} 被置高时，串行接口复位，SCLK 和 DIN 引脚的输入不起作用，DOUT 进入高阻抗状态。

串口时钟(SCLK)

SCLK 是串行外围接口(SPI)串行时钟。SCLK 用于将命令移入设备，并将数据移出设备。SCLK 引脚具有施密特触发输入，用于将 DIN 引脚输入锁存进 SC2945，并从 SC2945 将数据从 DOUT 引脚输出。尽管 SCLK 输入有迟滞特性，仍然建议尽可能保持 SCLK 干净，以防止时钟上的毛刺引起内部逻辑错误翻转。SCLK 最高频率限制在串行接口时序表中指定。当使用 SCLK 移入命令时，请确保所有的 SCLK 脉冲都发送到设备。如果发送的 SCLK 脉冲数目不符合要求，可能会导致设备串行接口处于未知状态，需要 \overline{CS} 高电平才能恢复。

所需的 SCLK 最低速率取决于 ADC 的位数和输出数据速率。最小速度可由如下公式计算：

$$t_{SCLK} < \frac{t_{DR} - 4t_{CLK}}{48(24\text{bits} + \text{STATUS})}$$

上述 SCLK 速率限制适用于 RDATA_C，且假定再数据读取之间没有发送其他命令。对于 RDATA 命令，如果数据必须在两个连续的 DRDY 信号之间读取，则参考 RDATA 小节对 SCLK 的最小速率要求。例如，如果 SC2945 在 500SPS 模式下工作，则最低 SCLK 速度约为 26 kHz。

数据输入(DIN)

数据输入引脚(DIN)与 SCLK 一起用于与 SC2945 通信(操作码命令和寄存器数据)。SC2945 在 SCLK 下降沿锁存 DIN 引脚上的数据。

数据输出(DOUT)

数据输出引脚(DOUT)与 SCLK 一起用于从 SC2945 读取转换后的数据和寄存器的值。输出数据在 SCLK 上升沿从 DOUT 引脚输出。当 CS 置高后, DOUT 进入高阻抗状态。

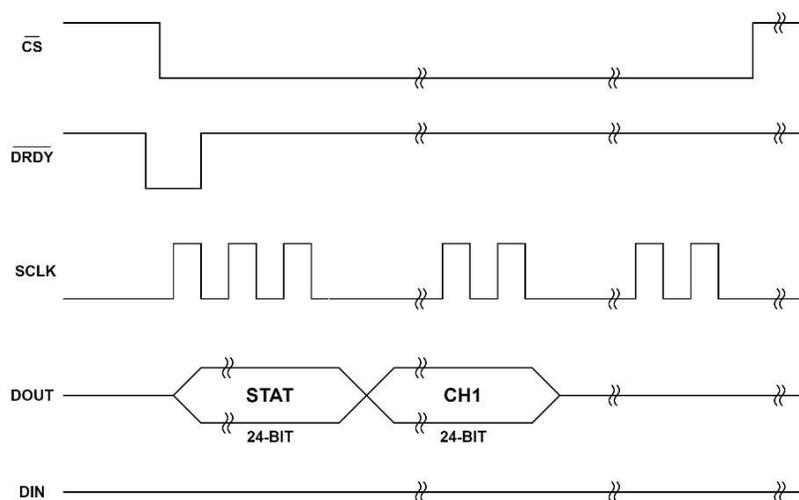


图 6 SPI 数据输出

数据读取

数据读取可以用 RDATA 和 RDATA 两种命令之一来完成。RDATA 命令用于从 SC2945 连续读取数据, 无需额外发送操作码。RDATA 命令可用于仅从设备读取一个数据输出。ADC 转换后的数据是通过将数据逐比特从 DOUT 引脚移出来读取的。DOUT 数据的 MSB 在 SCLK 第一个上升沿送出。在整个读取操作中, DIN 应该保持为低。

SC2945 的数据输出数为(24 位状态位+ 24 位数据)= 48 位。24 位状态位的格式为:(1100 + LOFF_STAT[4:0] + GPIO[1:0] + 13 '0's)。通道数据的数据格式为二进制补码, MSB 优先。

SC2945

数据准备(\overline{DRDY})

\overline{DRDY} 输出为低时，表示新的数据已经转换完成。当使用 RDATA 命令读取数据时，读取操作可以和下一次 \overline{DRDY} 的置低时间上有重叠。

START 引脚或 START 命令用于将设备置于连续读取或单次读取的模式。

图 7 显示了数据读取期间 \overline{DRDY} DOUT 和 SCLK 之间的关系。SC2945 具有多个可配置的数据速率，范围从 125SPS 至 16KSPS。DOUT 在 SCLK 上升沿被锁存输出。 \overline{DRDY} 在第一个 SCLK 下降沿被拉高。

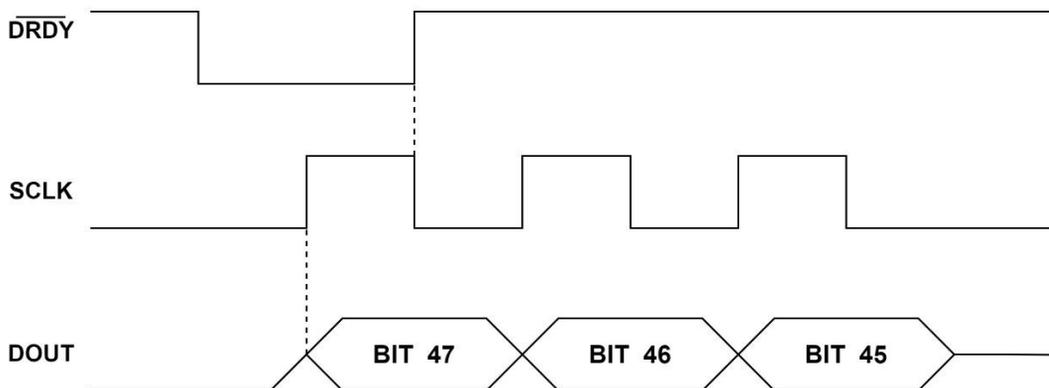


图 7 数据读取期间 \overline{DRDY} DOUT 和 SCLK 之间的关系

掉电与复位(\overline{PWRST})

\overline{PWRST} 和 \overline{RES} 引脚是复用的。如果要将设备下电，需要 \overline{PWRST} 置低，然后经过 10^3 个 f_{MOD} 时钟周期，则设备将进入下电状态。下电后，设备在重新上电后所有寄存器必须再次配置。

复位 SC2945 有两种方法:将 \overline{PWRST} 引脚拉低，或发送 RESET 操作码命令。当使用 \overline{PWRST} 引脚来复位时，先将其拉低，再等待规定的最短脉冲宽度时间后，再将 \overline{PWRST} 拉高。RESET 命令生效于 opcode 命令的第 8 个 SCLK 下降沿。在 RESET 状态下，设备需要 $18t_{CLK}$ 周期完成配置寄存器的初始化，并开始数据转换。注意，当使用 WREG 命令改变了 CONFIG1、RESP1 和 RESP2 三个寄存器的值时，会自动复位数字滤波器。

GPIO

SC2945 共有两个通用输入/输出(GPIO)引脚，可在正常操作模式下使用。通过 GPIOC 控制位，GPIO 引脚可单独配置为输入或输出。GPIOD 位用于控制 GPIO 引脚的电平值。当读取 GPIOD 位，返回的数据是引脚的逻辑值，无论它们是被配置为输入还是输出。当 GPIO 引脚被配置为输入时，对 GPIOD 位进行写操作是无效的。当配置为输出时，通过写 GPIOD 位来设置引脚的输出值。

如果配置为输入，这些引脚必须处于有信号驱动的状态(不能浮空)。在上电或者复位后，GPIO 引脚被设置为输入模式。图 8 显示了 GPIO 端口结构。如果不使用 GPIO 引脚，则需要串联一个电阻后接地。

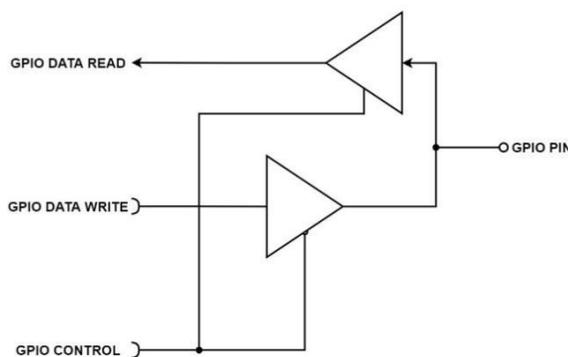


图 8 GPIO 接口

START

将 START 引脚置高或发送 START 命令以开始数据转换。当使用 START 操作码来控制转换时，应保持 START 引脚为低。SC2945 有两种模式来控制转换：连续转换模式和单次转换模式。模式由 SINGLE_SHOT(CONFIG1 寄存器的第 7 位)控制。在多个设备的使用场景中，START 引脚可用于同步多个设备。

稳定时间

稳定时间(t_{SETTLE})是 START 信号拉高后, 到转换器输出完全稳定的数据所花费的时间。一旦 START 被拉高, \overline{DRDY} 也被拉高。下一个 \overline{DRDY} 下降沿表示数据转换已经完成。图 9 为时序图, 表 6 为不同数据速率下的稳定时间。稳定时间取决于 f_{CLK} 和抽取比例(由 CONFIG1 中的 DR[2:0]位控制)。注意, 当 START 被保持为高, 在输入信号施加一个阶跃跳变, 滤波器需要 $3 t_{DR}$ 才能稳定到新值。在第四个 \overline{DRDY} 脉冲可以读出稳定后的数据。稳定时间的不确定性为一个 t_{MOD} 周期。因此, 建议在发送 SCLK 来读取数据之前多等待一个 t_{MOD} 周期的时间。

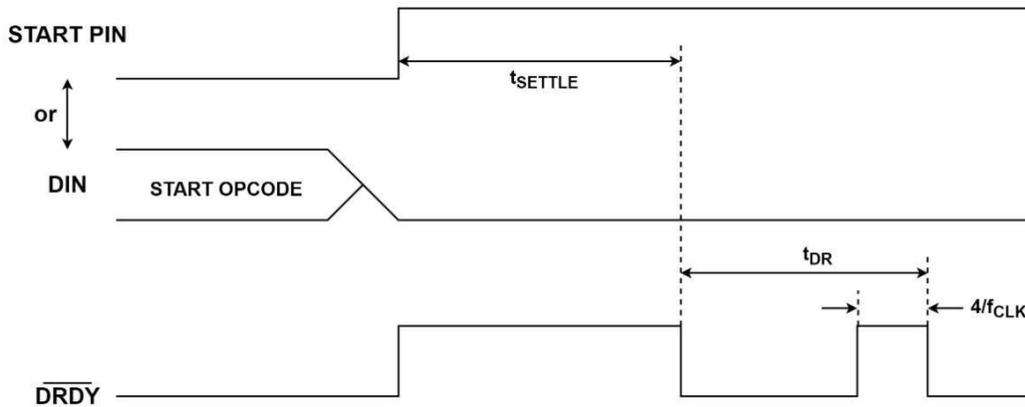


图 9 稳定时间

表 6 不同输出速率下的稳定时间

DR[2:0]	稳定时间	单位
000	3076	t_{MOD}
001	1540	t_{MOD}
010	772	t_{MOD}
011	388	t_{MOD}
100	196	t_{MOD}
101	100	t_{MOD}
110	52	t_{MOD}
111	52	t_{MOD}

连续转换模式

当 START 引脚被置高或当 START 操作码命令被发送时，转换开始。如图 10， \overline{DRDY} 输出在转换开始时变高，在数据准备好时变低。转换将一直进行下去，直到 START 引脚被置低或发送了 STOP 操作码命令。当 START 引脚被拉低或发出停止命令时，正在进行的数据转换将不受影响，直至当前转换完成。

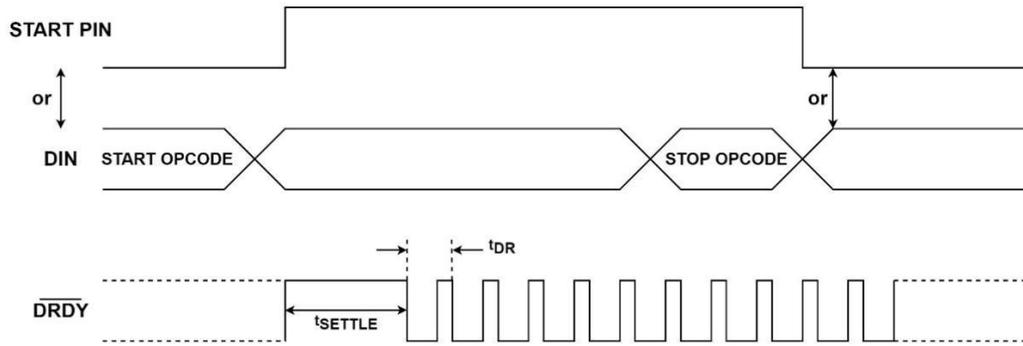


图 10 连续转换模式

单次转换模式

通过将 CONFIG1 寄存器中的 SINGLE_SHOT 位设置为 '1' 来启用单次读取模式。在这种模式下，当 START 引脚拉高或发送 START 操作码是，SC2945 执行一次数据转换。当一次转换完成， \overline{DRDY} 被置低，并且停止后续的转换。无论数据是否被读走， \overline{DRDY} 将保持为低。从连续模式切换到脉冲模式时，请确保发出一个脉冲形式的 START 信号，或者先发一个 STOP 命令并接着发一个 START 命令，需要注意的是，由 START 引脚拉高启动的传输只能以 START 引脚拉低来结束，同理，START 操作码启动的传输只能以 STOP 操作码来结束，如使用操作码控制，START 引脚必须为低。

这种转换模式适用于需要非连续数据速率的应用场景。注意，这会带来主机处理器的负载增加，因为它必须通过翻转 START 引脚或发送一个 START 命令来启动一个新的转换周期。

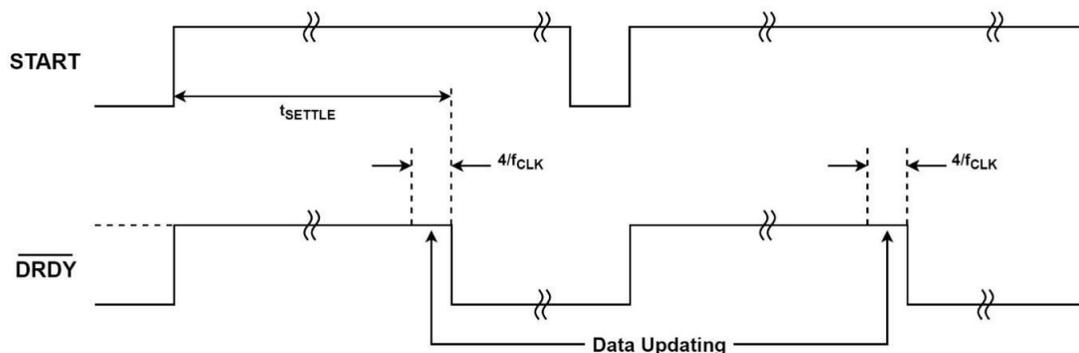


图 11 单次转换模式

SC2945

SPI 指令

SC2945 提供灵活的配置控制。表 7 列出的 opcode 命令用于控制和配置 SC2945。除了寄存器读和写命令需要发送额外的命令字和数据，其他操作码命令是独立的。除了寄存器读和写命令需要再发送一次命令字加数据。 \overline{CS} 可以在操作码令之间置高或保持低，但在整个命令操作过程中，必须保持为低(特别是对于多字节命令而言)。系统操作码命令和 RDATA 命令在第七 SCLK 下降沿会被 SC2945 解码。寄存器读写操作码在第八 SCLK 下降沿上解码。在发送完命令如果要将 \overline{CS} 拉高，则必须遵循 SPI 的时序要求。

表 7 SPI 指令表

指令	描述	第一BYTE	第二BYTE
系统指令			
WAKEUP	从待机模式唤醒	0000 0010(02h)	
STANDBY	进入待机模式	0000 0100(04h)	
RESET	设备复位	0000 0110(06h)	
START	启动或重新启动(同步)转换	0000 1000(08h)	
STOP	停止转换	0000 1010(0Ah)	
OFFSETCAL	通道偏移校准	0001 1010(1Ah)	
数据读取指令			
RDATA C	启用读数据连续模式。 该模式是开机时的默认模式。	0001 0000(10h)	
SDATA C	停止连续读数据模式	0001 0001(11h)	
RDATA	通过命令读取数据;支持多次回读。	0001 0010(12h)	
寄存器读取指令			
RREG	从地址r rrrr开始读取n nnnn寄存器	001r rrrr(2xh)	000n nnnn
WREG	从地址r rrrr开始写入n nnnn寄存器	010r rrrr(4xh)	000n nnnn

WAKEUP

此操作码用于退出低功耗待机模式。

此命令的 SCLK 速率没有限制。发送此命令需满足 t_{CSSC} 与 t_{SCCS} 的要求(见表 2)。

STANDBY

此操作码用于进入低功耗待机模式。

此命令的 SCLK 速率没有限制。发送此命令需满足 t_{CSSC} 与 t_{SCCS} 的要求(见表 2)。

RESET

此操作码用于执行复位操作，寄存器将会被重置为默认值。

此命令的 SCLK 速率没有限制。发送此命令需满足 t_{CSSC} 与 t_{SCCS} 的要求(见表 2)。

START

此操作码用于启动转换，此时需保证 START 引脚为低。

此命令的 SCLK 速率没有限制。发送此命令需满足 t_{CSSC} 与 t_{SCCS} 的要求(见表 2)。

STOP

此操作码用于停止转换，此时需保证 START 引脚为低。

此命令的 SCLK 速率没有限制。发送此命令需满足 t_{CSSC} 与 t_{SCCS} 的要求(见表 2)。

OFFSETCAL

此操作码用于进行直流校准。将 RESP2 寄存器的 CALIB_ON bit 置 1 后发送此操作码即可实现直流偏移校准。

此命令的 SCLK 速率没有限制。发送此命令需满足 t_{CSSC} 与 t_{SCCS} 的要求(见表 2)。

SC2945

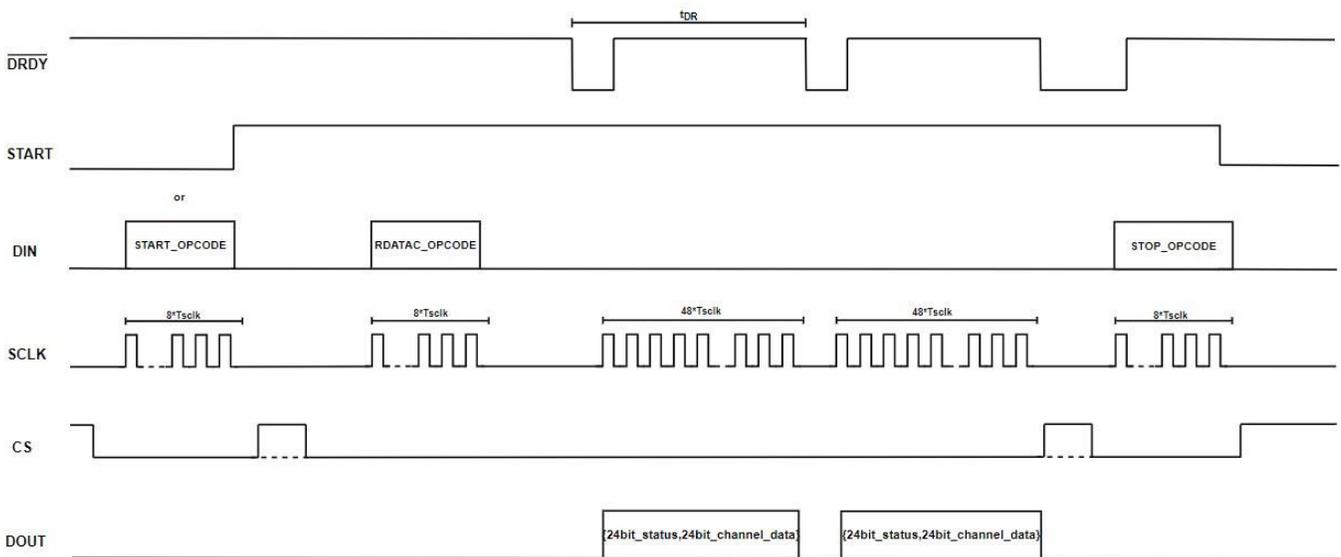
RDATAAC

该操作码使设备进入 RDATAAC 模式，该模式下在 \overline{DRDY} 为低时只需提供读取时钟即可读出转换数据，而不需要在读取前发出任何操作码。这种模式将转换数据依次放在输出寄存器中，并伴随着外部读取逐位输出。设备上电时默认为该模式，在上电后的第一次有效 SPI 访问前，无论 \overline{CS} 为高或低，设备将保持为 RDATAAC 模式。

使用中通过发送 SDATAAC 命令或拉高片选信号以退出 RDATAAC 模式。在 RDATAAC 模式中，设备无法收到除 SDATAAC 外的任何其他命令。该命令对 SCLK 速率没有限制。但是，后续的数据读取的 SCLK 脉冲或 SDATAAC 操作码命令应该等待至少 4 个 t_{CLK} 周期。RDATAAC 时序如图 12 所示，在 \overline{DRDY} 脉冲置低之前 4 个 t_{CLK} 的时间范围内，不能够发送 RDATAAC 命令字。要在 RDATAAC 命令发出后从设备中读出数据，必须确保 START 引脚为高或已经发送了 START 命令，否则无法观测到有效的 \overline{DRDY} 信号。需要注意的是，在发送 RDATAAC 命令进入 RDATAAC 模式后，在读取全程， \overline{CS} 信号必须保持为低。图 12 中显示了使用 RDATAAC 命令的推荐使用方式。RDATAAC 非常适合于数据采集器或记录器等应用场合。

此模式下对于 SCLK 的速率限制:

$$t_{SCLK} < \frac{t_{DR} - 4t_{CLK}}{48(\text{STATUS} + 24\text{bits})}$$



注: 此模式下 SINGLE_SHOT=0

图 12 RDATAAC

SDATAC

此操作码退出 RDATA 模式。该命令对 SCLK 速率没有限制，但是此次 SPI 传输的片选信号必须在最后一个 SCLK 沿后等待至少 4 个 t_{CLK} 后拉高。

RDATA

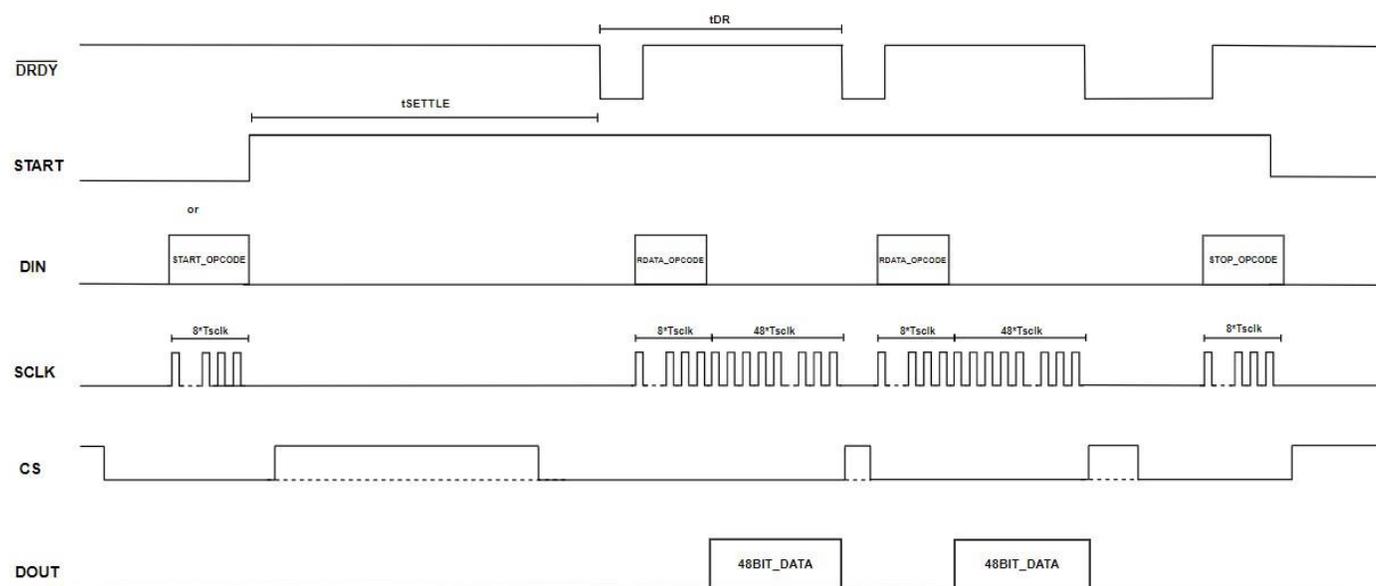
在 \overline{DRDY} 变为低电平后，发出该命令以读取转换结果。该命令对 SCLK 速率没有限制，后续命令和数据读取发送 SCLK 不需等待。要在 RDATA 命令发出后从设备中读取数据，请确保 START 引脚为高或发送了 START 命令。当使用 RDATA 命令读取数据时，读取操作可以和下一个 \overline{DRDY} 位低重叠，而不需考虑在读取期间数据被更新。在 RDATA 命令字和后续的用于读取数据的 48 个 SCLK 周期之间， \overline{CS} 信号必须保持为低，而在两次 RDATA 读取之间， \overline{CS} 信号可以置高或置低。

图 13 显示了使用 RDATA 命令的推荐使用方式。RDATA 最适合 ECG 和 EEG 类型的系统。

此模式下对于 SCLK 的速率限制:

$$t_{SCLK} < \frac{t_{DR} - t_{SCCS} - t_{CSCC}}{56(8 + STATUS + 24bits)}$$

注: t_{SCCS} 与 t_{CSCC} 见表 2



注: 此模式下 $SINGLE_SHOT=0, f_{spi_clk} > 1066kHz$ (data rate = 16kSPS)

图 13 RDATA

SC2945

RREG

此操作码用于读取寄存器数据，该操作码对 SCLK 速率没有限制，后续命令和数据读写 SCLK 不需要等待时间。寄存器读取命令是一个两字节的操作码，第一个字节为命令操作码和寄存器地址，第二个字节包含要读取的寄存器个数减一。第一个操作码字节：001r rrrr，其中 rrrr 是起始寄存器地址。第二个操作码字节：000n nnnn，其中 n nnnn 是要读取的寄存器数减一。当在读取操作码后，发送第 17 个 SCLK 上升沿时，第一个寄存器的 MSB 将于 DOUT 引脚输出，从发送操作码至读取完成需保持 \overline{CS} 为低，如图 14 所示。

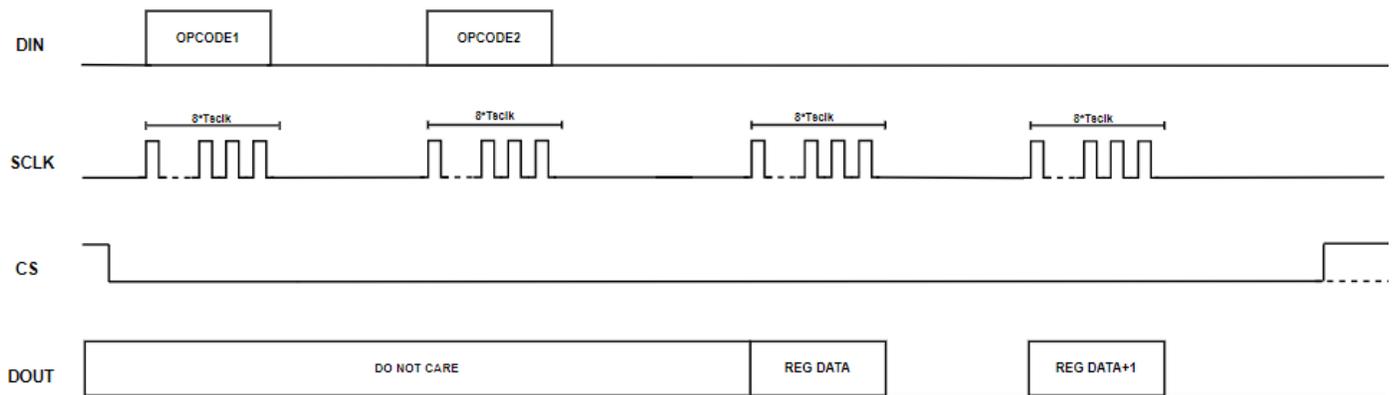


图 14 RREG

WREG

此操作码用于写入寄存器数据，该操作码对 SCLK 速率没有限制，后续命令和数据读写 SCLK 不需要等待时间。寄存器写入命令是一个两字节的操作码，第一个字节为命令操作码和寄存器地址，第二个字节包含要写入的寄存器数减一。第一个操作码字节：010r rrrr，其中 rrrrr 是起始寄存器地址。第二个操作码字节：000n nnnn，其中 n nnnn 是要写入的寄存器数减一。在写操作码之后，第 17 个 SCLK 上升沿时，期望写入的寄存器数据 MSB 需由 DIN 引脚输入，从发送操作码至写入完成需保持 CS 为低，如图 15 所示。

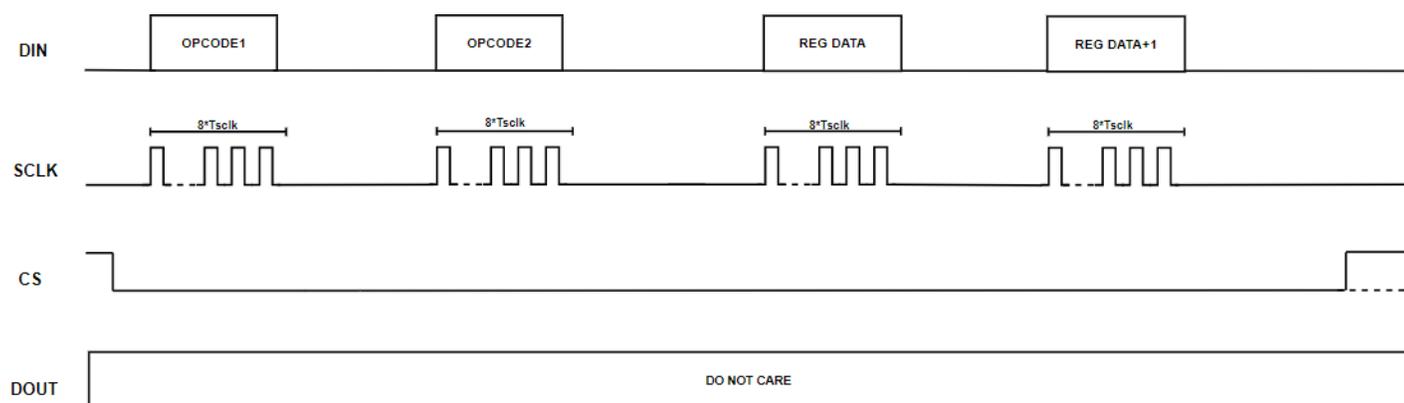


图 15 WREG

SC2945

寄存器

寄存器总表

表 8 SC2945 寄存器总表

地址	寄存器	reset 值 Hex	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
00h	ID	52	REV_ID7	REV_ID6	REV_ID5	1	0	0	REV_ID1	REV_ID0
01h	CONFIG1	02	SINGLE- SHOT	0	0	0	0	DR2	DR1	DR0
02h	CONFIG2	80	1	PDB_LOFF_C OMP	PDB_REFBU F	0	CLK_EN	0	INT_TEST	TEST_FREQ
03h	LOFF	10	COMP_TH2	COMP_TH1	COMP_TH0	1	Ilead_OFF1	Ilead_OFF0	0	Flead_OFF
04h	CH1SET	00	GAIN1_3	GAIN1_2	GAIN1_1	GAIN1_0	MUX1_3	MUX1_2	MUX1_1	MUX1_0
05h	CH2SET	00	0	0	0_1	0	0	0	0	0
06h	RLD-SENS	00	CHOP1	CHOP1	PDB_RLD	RLD_LOFF_S ENS	0	0	RLD1N	RLD1P
07h	LOFF-SENSE	00	0	0	0	FLIP1	0	0	LOFF1N	LOFF1P
08h	LOFF-STAT	00	0	0	0	RLD_STAT	IN2N_OFF	IN2P_OFF	IN1N_OFF	IN1P_OFF
0Ah	RESP2	02	CALIB_ON	0	0	0	0	0	RLDREF_INT	1
0Bh	GPIO	0C	0	0	0	0	GPIOC2	GPIOC1	GPIOD2	GPIOD1
0Dh	PACE		EN_PACEDRV	EN_PACEDET	RESERVED	RESERVED	RST_PACE_EN	RST_PACE	PACEOUT	EN_PACEDRV

ID 寄存器表（只读）

地址=00h

表 9 ID 控制寄存器表

7	6	5	4	3	2	1	0
REV_ID7	REV_ID6	REV_ID5	1	0	0	0	REV_ID0
Bits	Description						
Bits[7:5]	REV_ID[7:5]: 000 = Reserved 001 = Reserved 010 = SC2945 011 = Reserved 100 = Reserved 101 = Reserved 110 = Reserved 111 = Reserved						
Bit4	读高						
Bits[3:2]	读低						
Bits[1:0]	REV_ID[1:0]: 00 = Reserved 01 = Reserved 10 = SC2945 11 = Reserved						

配置寄存器 1(CONFIG1)

地址=01h

表 10 CONFIG1 寄存器表

7	6	5	4	3	2	1	0
SINGLE_SHOT	0	0	0	0	DR2	DR1	DR0
Bits	Description						
Bit7	这一 bit 设置数据转换模式 0 为连续转换模式（默认） 1 为单发转换模式						
Bits[6:3]	必须设置为 0						
Bits[2:0]	DR[2:0]:通道过采样频率						
	BIT		过采样频率		数据速率		
	000		$f_{MOD}/1024$		125SPS		
	001		$f_{MOD}/512$		250SPS		
	010		$f_{MOD}/256$		500SPS(默认)		
	011		$f_{MOD}/128$		1kSPS		
	100		$f_{MOD}/64$		2kSPS		
	101		$f_{MOD}/32$		4kSPS		
	110		$f_{MOD}/16$		8kSPS		
111		$f_{MOD}/16$		16kSPS			

SC2945

配置寄存器 2(CONFIG2)

地址=02h

表 11 CONFIG2 寄存器表

7	6	5	4	3	2	1	0
1	PDB_LOFF_COMP	PDB_REFBUF	0	CLK-EN	0	INT-TEST	TEST-FREQ
Bits	Description						
Bit7	必须设置为 1						
Bit6	PDB_LOFF_COMP : Lead-off comparator power-down 0 为 Lead-off comparator power-down 状态 (默认) 1 为 Lead-off comparator enabled 状态						
Bit5	PDB_REFBUF : Reference buffer power-down 0 为 Reference buffer power-down 状态 (默认) 1 为 Reference buffer enabled 状态						
Bit4	必须设置为 0						
Bit3	CLE_EN:内部振荡器是否连接到 CLK 引脚 0 为未连接 (默认) 1 为连接着						
Bit2	必须设置为 0						
Bit1	INT_TSET:测试信号开关 0 为关闭 (默认) 1 为打开, 振幅= $\pm(VREFP-VREFN)/2400$						
Bit0	TEST_FREQ:测试信号频率 0 为处于DC 状态 (默认) 1 为 1Hz 方波状态						

Lead-Off 控制寄存器表

地址=03h

表 12 LOFF 控制寄存器表

7	6	5	4	3	2	1	0
COMP_TH2	COMP_TH1	COMP_TH0	1	Ilead_off1	Ilead_off0	0	Flead_off
Bits	Description						
Bits[7:5]	COMP_TH2 : Lead-off comparator 阈值						
	POSITIVE 000 = 95% (默认) 001 = 92.5% 010 = 90% 011 = 87.5% 100 = 85% 101 = 80% 110 = 75% 111 = 70%			NEGATIVE 000 = 5% (默认) 001 = 7.5% 010 = 10% 011 = 12.5% 100 = 15% 101 = 20% 110 = 25% 111 = 30%			
Bit4	必须设置为 1						
Bits[3:2]	Ilead_off[1:0]:Lead-off 模式下的电流强度 00=6nA 01=22nA 10=6μA 11=22μA						
Bit1	必须设置为 0						
Bit0	Flead_off : Lead-off 频率 0: DC Lead-off 检测 (默认) 1: AC Lead-off 检测, $f_{DR}/4$ (500Hz for 2 KHz ODR)						

SC2945

通道 1 设置

地址=04h

表 13 通道 1 设置寄存器表

7	6	5	4	3	2	1	0
PD1	GAIN1_2	GAIN1_1	GAIN1_0	MUX1_3	MUX1_2	MUX1_1	MUX1_0
Bits	Description						
Bits[7:4]	GAIN1[2:0]:通道 1 PGA 增益设定 0000=6 (默认) 0001=1 0010=2 0011=3 0100=4 0101=8 0110=12 0111=16 1000=24 1001=32 1010=64 1011=96						
Bits[3:0]	MUX1[3:0]:通道 1 输入选择 0000 = Normal electrode input (默认) 0001 = Input shorted 0010 = RLD_MEASURE 0011 = AVDD for supply measurement 0100 = Reserve 0101 = Test signal 0110 = RLD_DRP (positive input is connected to RLDIN) 0111 = RLD_DRM (negative input is connected to RLDIN) 1000 = RLD_DRPM (both positive and negative inputs are connected to RLDIN) 1001 =Inputs are connected to IN3P and IN3N 1010 = Reserve						

RLD 设置

地址=06h

表 14 RLD_SENS 寄存器表

7	6	5	4	3	2	1	0
CHOP1	CHOP0	PDB_RLD	RLD_LOFF_SENS	0	0	RLDIN	RLDIP
Bits	Description						
Bits[7:6]	CHOP[1:0]:PGA 调制频率 00= $f_{MOD}/16$ 01= Reserve 10= $f_{MOD}/2$ 11= $f_{MOD}/4$						
Bit5	PDB_RLD:RLD 缓冲器使能 0 为 RLD 缓冲掉电状态 (默认) 1 为 RLD 缓冲启用状态						
Bit4	RLD_LOFF_SENS:RLD Lead-off 检测功能 0 为 RLD Lead-off 检测功能禁用 (默认) 1 为 RLD Lead-off 检测功能启用						
Bit3	必须设置为 0						
Bit2	必须设置为 0						
Bit1	RLDIN:通道 1 RLD 负输入 0 为未连接 (默认) 1 为 RLD 连接至 ININ						
Bit0	RLDIP:通道 1 RLD 正输入 0 为未连接 (默认) 1 为 RLD 连接至 INIP						

SC2945

Lead-Off 检测选择

地址=07h

表 15 Lead-Off 检测选择寄存器表

7	6	5	4	3	2	1	0
0	0	0	FLIP1	0	0	LOFF1N	LOFF1P
Bits	Description						
Bits[7:6]	必须设置为 0						
Bit5	必须设置为 0						
Bit4	FLIP1: 选择用于通道 1 Lead-off 推导电流的方向 0 为禁用 (默认) 1 为启用						
Bit3	必须设置为 0						
Bit2	必须设置为 0						
Bit1	LOFF1N: 选择用于通道 1 Lead-off 检测的负输入 0 为禁用 (默认) 1 为启用						
Bit0	LOFF1P: 选择用于通道 1 Lead-off 检测的正输入 0 为禁用 (默认) 1 为启用						

Lead-Off 状态

地址=08h

表 16 Lead-Off 状态寄存器表

7	6	5	4	3	2	1	0
0	CLK_DIV	0	RLD_STAT (只读)	0	0	IN1N_OFF (只读)	IN1P_OFF (只读)
Bits	Description						
Bit7	必须设置为 0						
Bit6	CLK_DIV:时钟分频选择 0 = $f_{MOD} = f_{CLK} / 4$ (默认, $f_{CLK} = 512$ kHz 时使用) 1 = $f_{MOD} = f_{CLK} / 16$ ($f_{CLK} = 2.048$ MHz 时使用)						
Bit5	必须设置为 0						
Bit4	RLD_STAT: RLD 启动状态 0 为 RLD 已连接 (默认) 1 为 RLD 未连接						
Bit3	Reserve						
Bit2	Reserve						
Bit1	IN1N_OFF:通道 1 负极状态 0 为已连接 (默认) 1 为未连接						
Bit0	IN1P_OFF:通道 1 正极状态 0 为已连接 (默认) 1 为未连接						

校准寄存器

地址=0Ah

表 17 校准寄存器 寄存器表

7	6	5	4	3	2	1	0
CALIB_ON	0	0	0	0	0	RLDREF_INT	1
Bits	Description						
Bit7	CALIB_ON:校准开启						
Bits[6:2]	必须设置为 0						
Bit1	RLDREF_INT: RLDREF 信号源 0 =外部输入的 RLDREF 信号 1 =内部产生RLDREF 信号($AVDD - AVSS$) / 2 (默认)						
Bit0	必须设置为 1						

SC2945

GPIO 寄存器

地址=0Bh

表 18 GPIO 寄存器表

7	6	5	4	3	2	1	0
0	0	0	0	GPIOC2	GPIOC1	GPIOD2	GPIOD1
Bits		Description					
Bits[7:4]		必须设置为 0					
Bits[3:2]		GPIOC[2:1]: 控制 GPIO 1 和 2 引脚是输入还是输出 0 =输出 1 =输入 (默认)					
Bits[1:0]		GPIOD[2:1]:用于向GPIO1 和 2 端口读写数据。 当读取寄存器时, 返回的数据与 GPIO 外部引脚的状态相对应, 无论它们被编程为输入还是输出。 作为输出, 对GPIOD 的写入设置输出值。 作为输入, 写入GPIOD 没有任何效果。					

PACE 寄存器

地址=0Dh

表 19 PACE 寄存器表

7	6	5	4	3	2	1	0
EN_PACEDRV	EN_PACEDET	RESERVED	RESERVED	RST_PACE_EN	RST_PACE	PACEOUT (只读)	PACEOUT_EN
Bits		Description					
Bit7		使能起搏信号输出驱动 0: 禁用 (默认) 1: 使能					
Bit6		使能起搏检测比较器 0: 禁用 (默认) 1: 使能					
Bit[5:4]		Reserve					
Bit3		起搏检测输出复位选择 0: 从GPIO2 进行复位 (默认) 1: 从 0x0d[2]进行复位					
Bit2		起搏检测输出复位使能 0: 不复位 1: 复位 (默认)					
Bit1		起搏检测输出结果					
Bit0		使能起搏检测结果输出至GPIO1: 0: 禁用 (默认) 1: 使能					

声明

上述资料仅供参考使用，用于协助芯焱客户进行设计与研发。芯焱有权在不事先通知的情况下，保留因技术革新而改变上述资料的权利。